

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-008355

(43)Date of publication of application : 12.01.1996

(51)Int.Cl.

H01L 23/12

(21)Application number : 06-138770

(71)Applicant : FUJITSU LTD

(22)Date of filing : 21.06.1994

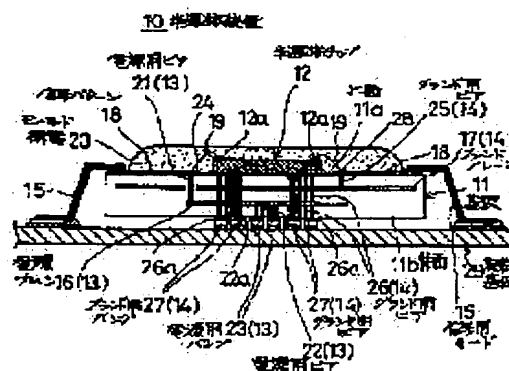
(72)Inventor : YAMANISHI GAKUO  
TSUJIMURA TAKEHISA

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

PURPOSE: To enhance electric characteristics and reliability of a semiconductor device having a large number of outer connection terminals.

GONSTITUTION: The semiconductor device having a plurality of outer connection terminals comprises a semiconductor chip 12 mounted on a substrate 11, a terminal 13 to be connected electrically with a power supply pad among electrode pads 12a formed on the semiconductor chip 12, a terminal 14 to be connected electrically with a ground pad, and signal leads 15 to be connected electrically with signal pads. The power supply connection terminal 13 and the ground connection terminal 14 are arranged on the side of the substrate 11 different from that arranged with the signal lead 15.



## LEGAL STATUS

[Date of request for examination]

20.04.2000

[Date of sending the examiner's decision of rejection]

26.02.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**Japanese Unexamined Patent Publication**  
**No. 8355/1996 (Tokukaihei 8-8355)**

A. Relevance of the Above-identified Document

The following is a partial English translation of exemplary portions of non-English language information that may be relevant to the issue of patentability of the claims of the present application.

B. Translation of the Relevant Passages of the Document

See also the attached English Abstract.

[0012]

Meanwhile, the power source lead and the ground lead preferably have small electric resistance. On this account, the respective areas of the power source lead and the ground lead need to be as large as possible. However, as mentioned above, a semiconductor device having a large number of leads necessitates not only narrowing down of the pitch at which leads are arranged, but also narrowing down of the width of each lead. Accordingly, enlarging the areas of the power source lead and the ground lead was not feasible, and this caused a problem that the respective electric characteristics of the power source lead and the ground lead cannot be improved.

[0029]

Fig. 1 is a cross sectional view illustrating a semiconductor device 10 of a first example according to the present invention. Fig. 2 is a bottom plan view of the semiconductor device 10.

[0038]

The power source connection terminal 13 includes, power source vias 21 and 22, a power source bump 23, and aforesaid power source plane 16, or the like. Each of the power source vias 21 and 22 are made conductive by filling copper powder for example in a hole formed on the substrate 11. An upper end of the power source via 21 located at the upper portion is connected to a power source pattern 24 formed on the upper surface 11a of the substrate 11, and the lower end the power source via 21 is electrically connected to the power source plane 16.

[0039]

Further, an upper end of the power source via 22 located in the lower portion is electrically connected to the power source plane 16, and the lower end of the power source via 22 is electrically connected to a power source bump 23 formed on the back face 11b of the substrate 11. This power source bump 23 is, for example, a solder ball provided to the an electrode 22a formed on the lower end of the power source via 22.

[0040]

The power source pattern 24 is connected to the semiconductor chip 12 via the wire 19. Thus, with the power source connection terminal 13, the power source pad formed on the semiconductor chip 12 is wired to the back face 11b of the substrate 11. Further, the power source via 21 located in the upper portion is arranged in a position which corresponds to the position of the power source pad formed on the semiconductor chip 12. However, since the power source plane 16 is provided, the arrangement position of the power source via 22 in the lower portion can be arbitrarily set. In the present example, the arrangement position of the power source via 22 is set substantially in the center position of the substrate 11.

[0041]

Further, the ground connection terminal 14 includes, ground vias 25 and 26, a ground bump 27, and aforesaid ground plane 17, or the like. As is the case of the power source vias 21 and 22, each of the ground vias 25 and 26 is made conductive by filling copper powder for example in a hole of formed on the substrate 11.

[0042]

An upper end of the ground via 25 arranged in the upper portion is connected to a ground pattern 28 formed on the upper surface 11a of the substrate 11, and the

lower end of the ground via 26 is electrically connected to the ground plane 17. Further, a predetermined position of the ground via 26 arranged in the lower portion is electrically connected to the ground plane 17, and the lower end of the ground via 26 is wired to the back face 11b of the substrate 11. On this lower end, a ground bump 27 is arranged. As is the foregoing power source bump 23, the ground bump 27 is, for example, a solder ball provided to an electrode 26a formed on the lower end of the ground via 26.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-8355

(43) 公開日 平成8年(1996)1月12日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 23/12

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 23/ 12

E

審査請求 未請求 請求項の数 6 O L (全 9 頁)

(21) 出願番号 特願平6-138770

(22) 出願日 平成6年(1994)6月21日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 山西 学雄

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 辻村 剛久

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

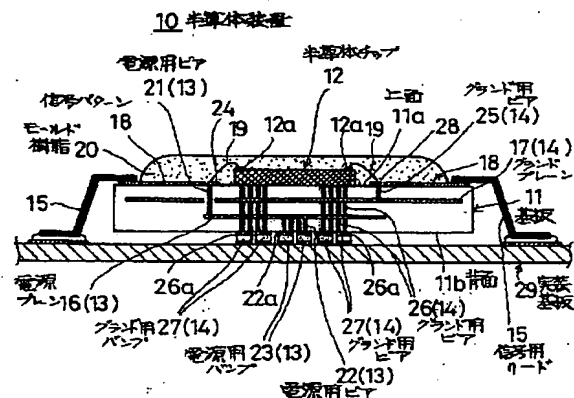
(74) 代理人 弁理士 伊東 忠彦

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 本発明は多数の外部接続端子を有する半導体装置に関し、半導体装置の電気特性及び信頼性の向上を図ることを目的とする。

【構成】 基板11に搭載された半導体チップ12と、この半導体チップ12に形成された電極パッド12aの内、電源パッドと電気的に接続される電源用接続端子13と、グランドパッドと電気的に接続されるグランド用接続端子14と、信号パッドと電気的に接続される信号用リード15とにより構成される複数の外部接続端子とを具備する半導体装置において、上記基板11における電源用接続端子13及びグランド用接続端子14が配設される配設面を、基板11における信号用リード15が配設される配設面と異なる面に配設する。



## 【特許請求の範囲】

【請求項1】 基板(11)に搭載された半導体チップ(12)と、

該半導体チップ(12)に形成された電極パッド(12a)の内、電源パッドと電氣的に接続される電源用接続端子(13, 31)と、グランドパッドと電氣的に接続されるグランド用接続端子(14, 32)と、信号パッドと電氣的に接続される信号用接続端子(15, 33)とにより構成される複数の外部接続端子とを具備する半導体装置において、

該基板(11)における該電源用接続端子(13, 31)及び該グランド用接続端子(14, 32)が配設される配設面を、該基板(11)における該信号用接続端子(15, 33)が配設される配設面と異なる面に配設したことを特徴とする半導体装置。

【請求項2】 該信号用接続端子(15)を該基板(11)の該半導体チップ(12)が搭載された面に配設すると共に、

該電源用接続端子(13)及び該グランド用接続端子(14)を該基板(11)の該半導体チップ(12)が搭載された面に対する背面に配設したことを特徴とする請求項1記載の半導体装置。

【請求項3】 該グランド用接続端子(14, 32)が該電源用接続端子(13, 31)を囲繞するよう配設したことを特徴とする請求項2記載の半導体装置。

【請求項4】 該電源用接続端子(13)及び該グランド用接続端子(14)を、該基板(11)を貫通して形成されたビア(21, 22, 25, 26)と、該基板(11)の該半導体チップ(12)が搭載された面に対する背面において該ビア(22, 26)と電氣的に接続されたパンプ(23, 27)とにより構成したことを特徴とする請求項2または3記載の半導体装置。

【請求項5】 該電源用接続端子(31)及び該グランド用接続端子(32)を該基板(12)の該半導体チップ(12)が搭載された面に配設すると共に、該信号用接続端子(33)を該基板(11)の該半導体チップ(12)が搭載された面に対する背面に配設したことを特徴とする請求項1記載の半導体装置。

【請求項6】 該信号用接続端子(33)を、該基板(11)を貫通して形成されたビア(37, 38)と、該基板(11)の該半導体チップ(12)が搭載された面に対する背面において該ビア(38)と電氣的に接続されたパンプ(39)とにより構成したことを特徴とする請求項5記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体装置に係り、特に多数の外部接続端子を有する半導体装置に関する。

【0002】 近年、半導体装置の高速化及び高集積化が進んでおり、これに伴うパッケージの小型化により、外

部接続端子(リード、ピン等)の狭ピッチ化が求められている。また、上記の小型化に加えて半導体装置には電気特性の向上が強く望まれている。

## 【0003】

【従来の技術】 図Aは従来の半導体装置1の一例を示す外観図であり、また図Bは半導体装置1の断面図である。同図に示す例では、QFP(Quad Flat Package)タイプのパッケージ構造の半導体装置1を示している。

【0004】 各図に示されるように、半導体装置1は大略すると半導体チップ2、リード3、樹脂パッケージ4等により構成されている。半導体チップ2はステージ5の上部に搭載されており、この半導体チップ2の上部に形成された電極パッド2aとリード3のインナーリード部3aとはワイヤ6により接続されている。

【0005】 リード3は、半導体チップ2を囲繞するよう多数配設されており、そのインナーリード部3aは上記のようにワイヤ6を介して半導体チップ2と接続されると共に、アウターリード部3bは樹脂パッケージ4の外部に延出し外部接続端子を形成する。このアウターリード部3bは、半導体装置1を表面実装するためにガルウイング状に成形されている。また、樹脂パッケージ4はその内部に上記の半導体チップ2、インナーリード部3a、ワイヤ6等を樹脂封止しており、これらの構成要素は樹脂パッケージ4により保護されている。

【0006】 前記したように、近年半導体チップ2の高密度化が進んでおり、半導体チップ2に形成される電極パッド2aの数も増大している(200パッド以上)。また、リード3は電極パッド2aの数に対応して配設されるものであるため、電極パッド2aの数が増大することによりリード3の数も増大する傾向にある。

【0007】 一方、電極パッド2aは電氣的特性上、3種類に大きく分類される。具体的には、信号の授受を行うパッド(信号パッドという)、電源を供給するためのパッド(電源パッドという)、接地を行うためのパッド(グランドパッドという)の三種類である。よって、電極パッド2aに接続されるリード3も同様の分類を行うことができる(信号リード、電源リード、グランドリードという)。

【0008】 従来構成の半導体装置1では、この信号リード、電源リード、グランドリードの各リード3を、その種類に拘わらず全て樹脂パッケージ4の外周四側面より外方に向けて延出させる構成とされていた。

## 【0009】

【発明が解決しようとする課題】 しかるに従来構成の半導体装置では、上記のように信号リード、電源リード、グランドリードの各リードがその種類に拘わらず全て樹脂パッケージの外周四側面より外方に向けて延出させる構成とされていた。このため、信号リードが電源リードと隣接して配設される部分が必然的に生じてしまう。

【0010】 このように、信号リードが電源リードと隣

接した部位においては電源のノイズが信号リードに干渉し、信号の授受が適正に行うことができなくなり、半導体装置の信頼性が低下してしまう。

【0011】特に、半導体チップの高密度化が進みリード数が増大すると、樹脂パッケージの大きさは半導体装置の小型化要求より大型化することはできないため、各リード間ピッチは狭ピッチ化する。このため、上記の信号リードに対する電源ノイズの影響は、リード数が増大すると重大な問題となる。

【0012】一方、電源リード及びグランドリードはその電氣的抵抗が小さいほうが望ましく、よって電源リード及びグランドリードの面積はなるべく大きくしたい。しかるに、上記のようにリード数の多い半導体装置では、各リード間ピッチの狭ピッチ化を図ると共にリード自信の幅も狭くせざるおえない。よって、電源リード及びグランドリードの面積を大きくすることはできず、電源リード及びグランドリードの電氣的特性を向上させることはできないという問題点があった。

【0013】本発明は上記の点に鑑みてなされたものであり、半導体装置の電氣特性及び信頼性の向上を図ることができる半導体装置を提供することを目的とする。

【0014】

【課題を解決するための手段】上記課題は下記の各手段を講じるこひとにより解決することができる。

【0015】請求項1の発明では、基板搭載された半導体チップと、この半導体チップに形成された電極パッドの内、電源パッドと電氣的に接続される電源用接続端子と、グランドパッドと電氣的に接続されるグランド用接続端子と、信号パッドと電氣的に接続される信号用接続端子とにより構成される複数の外部接続端子とを具備する半導体装置において、上記基板における電源用接続端子及びグランド用接続端子が配設される配設面を、上記基板における信号用接続端子が配設される配設面と異なる面に配設したことを特徴とするものである。

【0016】また、請求項2の発明では、上記信号用接続端子を基板の半導体チップが搭載された面に配設すると共に、上記電源用接続端子及びグランド用接続端子を基板の半導体チップが搭載された面に対する背面に配設したことを特徴とするものである。

【0017】また、請求項3の発明では、上記グランド用接続端子が電源用接続端子を圍繞するよう配設したことを特徴とするものである。

【0018】また、請求項4の発明では、上記グランド用接続端子及び電源用接続端子を、基板を貫通して形成されたビアと、基板の半導体チップが搭載された面に対する背面において上記ビアと電氣的に接続されたバンプとにより構成したことを特徴とするものである。

【0019】また、請求項5の発明では、上記電源用接続端子及びグランド用接続端子を基板の半導体チップが搭載された面に配設すると共に、上記信号用接続端子を

基板の半導体チップが搭載された面に対する背面に配設したことを特徴とするものである。

【0020】更に、請求項6の発明では、上記信号用接続端子を、基板を貫通して形成されたビアと、基板の半導体チップが搭載された面に対する背面において上記ビアと電氣的に接続されたバンプとにより構成したことを特徴とするものである。

【0021】

【作用】上記した各手段は、下記のように作用する。

【0022】請求項1の発明によれば、電源用接続端子及びグランド用接続端子と信号用接続端子の配設位置を分離し、基板における電源用接続端子及びグランド用接続端子の配設面と、信号用接続端子が配設される配設面とを異なる面（位置）に配設したことにより、電源用接続端子及びグランド用接続端子と信号用接続端子とを離間させることが可能となる。

【0023】このように電源用接続端子及びグランド用接続端子と信号用接続端子とが離間配設されることにより、電源ノイズが信号用接続端子に及ぼす影響を低減することができ、信号用接続端子を介して授受される信号にノイズが混入することを防止することができる。

【0024】また、電源用接続端子及びグランド用接続端子と信号用接続端子とが基板の異なる面に配設されるため、特に電源用接続端子及びグランド用接続端子の配設面積を大きく取ることが可能となり、電源用接続端子及びグランド用接続端子の電氣的抵抗を低減することができる。よって、半導体装置の電氣特性を向上させることができる。

【0025】また、請求項2或いは請求項5の発明によれば、電源用接続端子及びグランド用接続端子と信号用接続端子とが、基板の相対向する面に（即ち半導体チップが搭載された面を上面とすると、上面と背面に）分離して配設された構成となるため、基板上において電源用接続端子及びグランド用接続端子と信号用接続端子とを大きく離間させることができる。よって、電源ノイズが信号用接続端子に及ぼす影響を効果的に低減することができる。

【0026】また、請求項3の発明によれば、グランド用接続端子が電源用接続端子を圍繞するよう配設されることにより、電源用接続端子はグランド用接続端子によりシールドされた構成となるため、電源用接続端子から発生する電源ノイズがグランド用接続端子の外部に悪影響を及ぼすことを防止することができる。

【0027】また、請求項4或いは請求項6の発明によれば、基板の背面側に引き出される接続端子を、基板を貫通して形成されたビアと、このビアと電氣的に接続されたバンプとにより構成したことにより、簡単な構成で上記端子を基板の背面側に引き出すことができる。

【0028】

【実施例】次に本発明の実施例について図面と共に説明



する。

【0029】図1は本発明の第1実施例である半導体装置10の断面図であり、図2は半導体装置10の底面図である。

【0030】各図に示される半導体装置10は、大略すると基板11、半導体チップ12、電源用接続端子13、グランド用接続端子14、及び信号用リード15等により構成されている。

【0031】基板11は多層形成されたセラミック基板であり、その内部には電源プレーン16及びグランドプレーン17が形成されている。この電源プレーン16及びグランドプレーン17は導電性金属（例えば銅）により形成された電極層である。また、基板11の上面11aには多数の信号パターン18が形成されている。

【0032】また、基板11の上部には半導体チップ12が固定されており、その上面には電極パッド12aが形成されている。この半導体チップ12は高密度化されたものであり、よって多数の電極パッド12a（例えば、200以上）が配設されている。

【0033】この電極パッド12aは、その性質上、電源パッド、グランドパッド、信号パッドの3種類に分類される。電源パッドは半導体チップ12に対して電源供給するためのパッドであり、グランドパッドは接地されるパッドであり、更に信号パッドは半導体チップ12が所定の処理を行うための信号が授受されるパッドである。

【0034】上記の複数の電極パッド12aは、外部接続端子を構成する電源用接続端子13、グランド用接続端子14、及び信号用リード15に接続される。具体的には、電源パッドは電源用接続端子13と接続され、グランドパッドはグランド用接続端子14と接続され、信号パッドは信号用リード15と接続される。

【0035】また、各電極パッド12aと電源用接続端子13、グランド用接続端子14、及び信号用リード15との電気的接続はワイヤ19を用いて行われている。このワイヤ19は、ワイヤボンディング装置を用いて電極パッド12aと各接続端子13、14、15との間に配設される。

【0036】更に、基板11の上部に配設された半導体チップ12の上部には、モールド樹脂20が形成されている。このモールド樹脂20は、半導体チップ12、ワイヤ19、及び信号パターン18を保護するために、基板11の上面11aを覆うように形成されている。

【0037】続いて、電源用接続端子13、グランド用接続端子14、及び信号用リード15の具体的構成について説明する。

【0038】電源用接続端子13は、電源用ビア21、22、電源用バンプ23、及び前記した電源プレーン16等により構成されている。電源用ビア21、22は基板11に形成された孔に例えば銅粉を充填して導電性を

持たせた構成とされている。上部に位置する電源用ビア21は、その上端が基板11の上面11aに形成された電源パターン24と接続されると共に、その下端は前記した電源プレーン16と電気的に接続している。

【0039】また、下部に配設された電源用ビア22は上端が電源プレーン16と電気的に接続されると共に、下端は基板11の背面11bに形成された電源用バンプ23と電気的に接続されている。この電源用バンプ23は、例えば半田ボールを電源用ビア22の下端部に形成された電極22aに設けた構成とされている。

【0040】上記の電源パターン24はワイヤ19により半導体チップ12と接続されており、よって電源用接続端子13により半導体チップ12に形成されている電源パッドは基板11の背面11bに引き出された構成となる。また、上部に位置する電源用ビア21の配設位置は、半導体チップ12に形成された電源パッドの位置に対応した位置に配設されることとなるが、電源プレーン16を設けることにより下部に配設される電源用ビア22の配設位置は任意に設定することができる。本実施例においては、電源用ビア22は基板11の略中央位置に配設位置が選定されている。

【0041】また、グランド用接続端子14は、グランド用ビア25、26、グランド用バンプ27、及び前記したグランドプレーン17等により構成されている。グランド用ビア25、26は、前記した電源用ビア21、22と同様に基板11に形成された孔に例えば銅粉を充填して導電性を持たせた構成とされている。

【0042】上部に配設されるグランド用ビア25の上端部は、基板11の上面11aに形成されたグランドパターン28と接続されており、またその下端はグランドプレーン17と電気的に接続されている。また、下部に配設されるグランド用ビア26は、所定位置がグランドプレーン17と電気的に接続されると共に、下端部は基板11の背面11bまで引き出されている。この下端部にはグランド用バンプ27が配設されている。このグランド用バンプ27は、前記した電源用バンプ23と同様に、例えば半田ボールをグランド用ビア26の下端部に形成された電極26aに設けた構成とされている。

【0043】上記のグランドパターン28はワイヤ19により半導体チップ12と接続されており、よってグランド用接続端子14により半導体チップ12に形成されているグランドパッドは基板11の背面11bに引き出された構成となる。また、上部に位置するグランド用ビア25の配設位置は、半導体チップ12に形成されたグランドパッドの位置に対応した位置に配設されることとなるが、グランドプレーン17を設けることにより下部に配設されるグランド用ビア26の配設位置は任意に設定することができる。本実施例においては、図2に示されるようにグランド用ビア26の配設位置は電源用ビア22を取り囲むように配設位置が選定されている。

【0044】また、信号用リード15は例えば42alloy(鉄-ニッケル合金)等のリード材料により形成されており基板11の上面に配設されている。即ち、信号用リード15は、前記した電源用接続端子13及びグランド用接続端子14が引き出される基板11の背面11bと異なる面である基板11の上面11aに配設された構成とされている。この信号用リード15は、そのインナーリード部分が基板11の上面11aに形成されている信号パターン18と電気的に接続されると共に、アウターリード部分は基板11より外方に延出した構成とされている。また、信号用リード15のアウターリード部分は、半導体装置10を表面実装可能な構成とするためにガルウイング状に成形されている。

【0045】尚、図1は半導体装置10を実装基板29に実装した状態を示している。実装基板29の上面には、電源用パッド、グランド用パッド、信号用パッドが形成されており、前記した電源用接続端子13、グランド用接続端子14、及び信号用リード15は、対応する所定の各パッドと接続される。

【0046】ここで、上記構成とされた電源用接続端子13、グランド用接続端子14、及び信号用リード15の配設構造について考察する。

【0047】上記したように、電源用接続端子13及びグランド用接続端子14は、各ビア21、22、25、26を介して基板11を貫通して背面11bに引き出された構成とされている。これに対して、信号用リード15は電源用接続端子13及びグランド用接続端子14が引き出された背面と対向する面である基板11の上面11aに配設されている。

【0048】従って、本実施例に係る半導体装置10では、基板11内において電源用接続端子13と信号用リード15とが離間して配設された構成となっている。これにより、電源用接続端子13で発生する電源ノイズが信号用リード15に影響し、信号用リード15を流れる信号に電源ノイズが混入(重畳)するのを防止することができる。

【0049】また、上記のように本実施例に係る半導体装置10では、電源用接続端子13はグランド用接続端子14に囲繞された構成とされている。グランド用接続端子14は接地されているためシールド効果を有する。従って、シールド効果を有するグランド用接続端子14により電源用接続端子13は取り囲まれた構成であるため、電源用接続端子13で発生する電源ノイズがグランド用接続端子14の配設位置より外部に漏洩することではなく、これによっても信号用リード15に電源ノイズが混入(重畳)するのを防止することができる。

【0050】更に、電源用接続端子13及びグランド用接続端子14と、信号用リード15とを分離して配設したことにより、基板11の上面11aには信号用リード15のみが配設されることとなる。従って、基板11の

上面11aに形成される信号パターン18及び信号用リード15の配設スペースが広くなり、信号パターン18及び信号用リード15の面積を広くした場合には、電気抵抗を低減することができ、半導体装置10の電気特性を向上させることができる。また、信号パターン18及び信号用リード15の面積を従来と同様とした場合には、基板11の小型化を図ることが可能となり、半導体装置10の小型化を図ることができる。

【0051】続いて、本発明の第2実施例について説明する。図3は本発明の第2実施例である半導体装置30を示している。尚、これから説明する第2実施例に係る半導体装置30、及び第2実施例の説明後に順次説明する各実施例において、前記した第1実施例に係る半導体装置10と同一構成部分については同一符号を付してその説明を省略する。

【0052】第2実施例に係る半導体装置30は、基板11の上面11aに電源用接続リード31及びグランド用接続リード32を配設すると共に、信号用端子33が基板11の背面11bに引き出されるよう構成したことを特徴とするものである。

【0053】電源用接続リード31及びグランド用接続リード32は例えば42alloy(鉄-ニッケル合金)等のリード材料により形成されており基板11の上面に配設されている。この電源用接続リード31及びグランド用接続リード32は、そのアウターリード部分が基板11より外方に向け延出した構成とされており、表面実装可能なためにガルウイング状に成形されている。

【0054】また、電源用接続リード31は、基板11の上面11aに形成されている電源パターン34と電気的に接続されており、この電源パターン34、ワイヤ19を介して半導体チップ12の電源パッドと接続されている。

【0055】また、グランド用接続リード32は、クラッドパターン43、グランド用ビア35を介してグランドプレーン17と電気的に接続されており、このグランドプレーン17はクラッド用ビア36、ワイヤ19を介してグランドパッドと接続されている。

【0056】一方、信号用端子33は信号用ビア37、38、信号用パンプ39、及び信号プレーン40、41等により構成されている。信号用ビア37、38は、基板11に形成された孔に例えば銅粉を充填して導電性を持たせた構成とされている。

【0057】上部に配設される信号用ビア37の上端部は、基板11の上面11aに形成された信号パターン42と接続されており、またその下端は信号プレーン40或いは信号プレーン41と電気的に接続されている(図では、信号プレーン41と接続された状態が示されている)。また、下部に配設される信号用ビア38は、上端部が信号プレーン40或いは信号プレーン41と電気的に接続されると共に、下端部は基板11の背面11bま

で引き出されている。この下端部には信号用パンプ 39 が配設されている。この信号用パンプ 39 も例えば半田ボールを信号用ビア 38 の下端部に形成された電極に設けた構成とされている。

【0058】上記の信号パターン 42 はワイヤ 19 により半導体チップ 12 と接続されており、よって信号用端子 33 により半導体チップ 12 に形成されている信号パッドは基板 11 の背面 11b に引き出された構成となる。また、上部に位置する信号用ビア 37 の配設位置は、半導体チップ 12 に形成された信号パッドの位置に対応した位置に配設されることとなるが、信号プレーン 40, 41 を設けることにより下部に配設される信号用ビア 38 の配設位置は任意に設定することができる。よって、種々の信号の授受が行われる信号用ビア 38 の配設位置を設定するに際し、この設定処理を容易に行うことができる。

【0059】上記構成とされた第 2 実施例に係る半導体装置 30 においても、電源用接続リード 31 及びグランド用接続リード 32 と信号用端子 33 とが基板 11 の異なる面に引き出されて配設される構成となるため、電源用接続リード 31 で発生する電源ノイズが信号用端子 33 に影響し、信号用端子 33 内を流れる信号に電源ノイズが混入（重畳）するのを防止することができる。

【0060】また、第 2 実施例に係る半導体装置 30 では、基板 11 の上面 11a に形成された電源パターン 34 と信号プレーン 40, 41 の配設位置との間にグランドプレーン 17 が配設された構成とされている。グランドプレーン 17 は接地されているためシールド効果を有する。従って、シールド効果を有するグランドプレーン 17 により電源パターン 34 と信号プレーン 40, 41 とは電磁的に隔離されるため、電源パターン 34 で発生する電源ノイズが信号プレーン 40, 41 に混入することではなく、これによっても電源ノイズが信号内に混入（重畳）するのを防止することができる。

【0061】更に、電源用接続リード 31 及びグランド用接続リード 32 と信号用端子 33 とが基板 11 の異なる面に引き出されて配設されることにより、第 1 実施例と同様に電源用接続リード 31 及びグランド用接続リード 32 の配設位置、信号用端子 33 の配設位置に余裕ができ、これに起因して半導体装置 30 の電気特性の向上及び小型化を図ることができる。

【0062】図 4 は本発明の第 3 実施例である半導体装置 50 を示している。

【0063】前記した第 1 実施例に係る半導体装置 10 では、電源用接続端子 13 及びグランド用接続端子 14 を実装基板 29 に形成されたパッドと電気的に接続するための手段として電源用パンプ 23 及びグランド用パンプ 27 を用いた例を示した。

【0064】これに対し、第 3 実施例に係る半導体装置 50 では、電源用パンプ 23 及びグランド用パンプ 27

に代えて、電源用ピン 51 及びグランド用ピン 52 を設けた構成とすることを特徴とするものである。このように、電源用接続端子 13 及びグランド用接続端子 14 を実装基板 29 に形成されたパッドと電気的に接続する構成は特にパンプ等のフェイスダウン構造に限定されるものではなく、種々の構造を適用することができる。また、上記のように半導体装置 50 を電源用ピン 51 及びグランド用ピン 52 を用いた、いわゆる PGA (Pin Grid Array) タイプ構造としても、信号に対する電源ノイズの混入防止、電気特性の向上、及び小型化等の効果は第 1 実施例及び第 2 実施例と同様に維持することができる。

【0065】図 5 は本発明の第 4 実施例である半導体装置 50 を示している。

【0066】前記した第 2 実施例に係る半導体装置 30 では、信号用端子 33 を実装基板 29 に形成されたパッドと電気的に接続するための手段として信号用パンプ 39 を用いた例を示した。これに対し、第 4 実施例に係る半導体装置 60 では、信号用パンプ 39 に代えて信号用ピン 61 を設けた構成とすることを特徴とするものである。上記構成とされた第 4 実施例に係る半導体装置 60 でも、前記した各実施例に係る半導体装置 10, 30, 50 と同様に信号に対する電源ノイズの混入防止、電気特性の向上、及び小型化等を図ることができる。

【0067】図 6 は本発明の第 5 実施例である半導体装置 70 を示しており、また図 7 は本発明の第 6 実施例である半導体装置 80 を示している。

【0068】前記した第 1 実施例に係る半導体装置 10 では信号用リード 15 としてガルウイング形状のリードを用い、また第 2 実施例に係る半導体装置 30 では電源用接続リード 31 及びグランド用接続リード 32 としてガルウイング形状のリードを用いた。

【0069】これに対し、第 5 実施例に係る半導体装置 70 では、ガルウイング形状の信号用リード 15 に代えて、いわゆる J リード形状の信号用リード 71 を設けたことを特徴とするものである。また、第 6 実施例に係る半導体装置 80 では、ガルウイング形状の電源用接続リード 31 及びグランド用接続リード 32 に代えて、J リード形状の電源用接続リード 81 及びグランド用接続リード 82 を設けたことを特徴とするものである。

【0070】上記のように各リード 71, 81, 82 を J リード形状とすることにより、半導体装置 70, 80 のパッケージ構造は QFJ (Quad Flat J-Leaded Package) 構造と似たパッケージ構造とすることができる。即ち、第 5 及び第 6 実施例に係る半導体装置 70, 80 では、リード 71, 81, 82 が基板 11 より外方に向け延出しない構成とすることができる。よって、第 5 及び第 6 実施例に係る半導体装置 70, 80 は、前記した第 1 乃至第 4 実施例においてリード 15, 31, 32 が基板 11 から延出していた分だけ半導体装置 70, 80 の

小型化を図ることができる。尚、第5及び第6実施例に係る半導体装置70、80においても、前記した第1及び第2実施例の効果を維持できることは勿論である。

【0071】図8は本発明の第7実施例である半導体装置90を示しており、また図9は本発明の第8実施例である半導体装置100を示している。

【0072】第7実施例に係る半導体装置90は、前記した第4実施例に係る半導体装置60において半導体チップ12を基板11の背面11aに配設したことを特徴とするものであり、第8実施例に係る半導体装置100は前記した第2実施例に係る半導体装置30において半導体チップ12を基板11の背面11aに配設したことを特徴とするものである。尚、各図において91、101はキャップであり、半導体チップ12を外部に対して封止するために設けられている。

【0073】第7実施例及び第8実施例に係る半導体装置90、100では、基板11の上面11aに広い面積を確保することができるため、この上面11aに電源パターン92、102及びグランドパターン93、103を配設することにより、各パターンの電気的抵抗を大きく低減することができ、更に半導体装置90、100の電気特性を向上させることができる。尚、第7及び第8実施例に係る半導体装置90、100においても、前記した第2及び第3実施例の効果を維持できることは勿論である。

【0074】

【発明の効果】上述の如く本発明によれば、下記の種々の効果を奏する。

【0075】請求項1の発明によれば、電源用接続端子及びグランド用接続端子と信号用接続端子とを離間させることが可能となることにより、電源ノイズが信号用接続端子に及ぼす影響を低減することができ、信号用接続端子を介して授受される信号にノイズが混入することを防止することができる。

【0076】また、電源用接続端子及びグランド用接続端子の配設面積を大きく取ることが可能となり、電源用接続端子及びグランド用接続端子の電気的抵抗を低減することができ、よって半導体装置の電気特性を向上させることができる。

【0077】また、請求項2或いは請求項5の発明によれば、基板上において電源用接続端子及びグランド用接続端子と信号用接続端子とを大きく離間させることができるため、電源ノイズが信号用接続端子に及ぼす影響を効果的に低減することができる。

【0078】また、請求項3の発明によれば、電源用接続端子はグランド用接続端子によりシールドされた構成となるため、電源用接続端子から発生する電源ノイズがグランド用接続端子の外部に悪影響を及ぼすことを防止することができる。

【0079】更に、請求項4或いは請求項6の発明によ

れば、基板の背面側に引き出される接続端子を、基板を貫通して形成されたビアと、このビアと電気的に接続されたバンパとにより構成したことにより、簡単な構成で上記各端子を基板の背面側に引き出すことができる。

【図面の簡単な説明】

【図1】本発明の第1実施例である半導体装置を示す断面図である。

【図2】本発明の第1実施例である半導体装置を示す底面図である。

【図3】本発明の第2実施例である半導体装置を示す断面図である。

【図4】本発明の第3実施例である半導体装置を示す断面図である。

【図5】本発明の第4実施例である半導体装置を示す断面図である。

【図6】本発明の第5実施例である半導体装置を示す断面図である。

【図7】本発明の第6実施例である半導体装置を示す断面図である。

【図8】本発明の第7実施例である半導体装置を示す断面図である。

【図9】本発明の第8実施例である半導体装置を示す断面図である。

【図10】従来の半導体装置の一例を示す斜視図である。

【図11】従来の半導体装置の一例を示す断面図である。

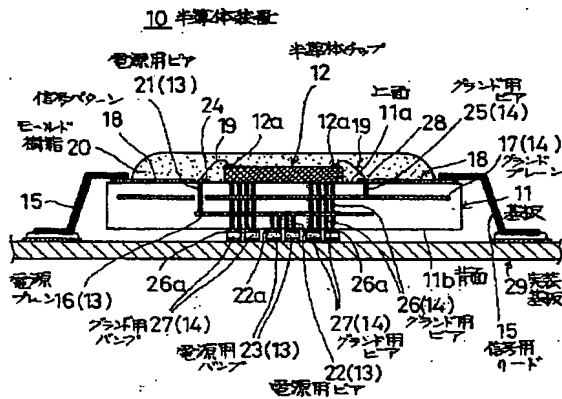
【符号の説明】

- 10、30、50、60、70、80、90 半導体装置
- 11 基板
- 11a 上面
- 11b 背面
- 12 半導体チップ
- 13 電源用接続端子
- 14 グランド用接続端子
- 15、71 信号用リード
- 16 電源プレーン
- 17 グランド用プレーン
- 18 信号パターン
- 20 モールド樹脂
- 31、22 電源用ビア
- 23 電源用バンパ
- 24、92、102 電源パターン
- 25、26 グランド用ビア
- 27 グランド用バンパ
- 28、93、103 グランドパターン
- 29 実装基板
- 31、81 電源用接続リード
- 32、82 グランド用接続リード

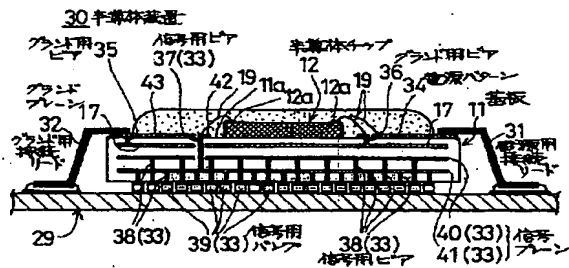
- 33 信号用端子  
35, 36 グランド用ビア  
37, 38 信号用ビア  
39 信号用パンプ  
40, 41 信号プレー

- 42 信号パターン  
51 信号用ピン  
52 グランド用ピン  
61 信号用ピン

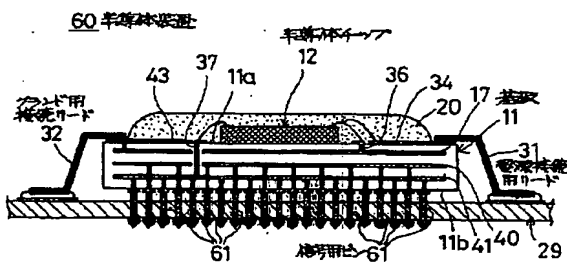
【図 1】



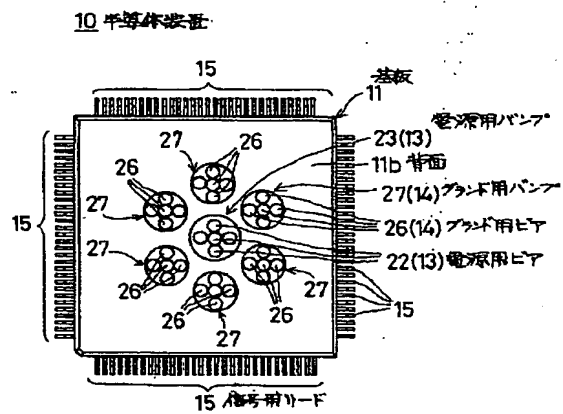
【図 3】



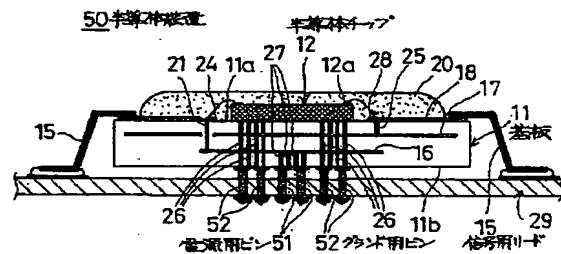
【図 5】



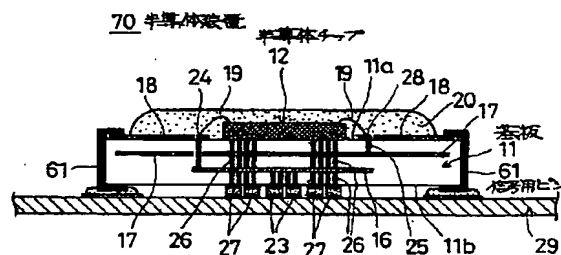
【図 2】



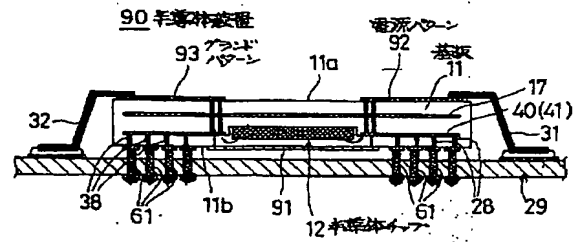
【図 4】



【図 6】



【图8】



【図 10】

